

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-244617

(43)Date of publication of application : 30.08.2002

(51)Int.CI. G09G 3/30
G09G 3/20
H05B 33/08
H05B 33/12
H05B 33/14

(21)Application number : 2001-038642

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 15.02.2001

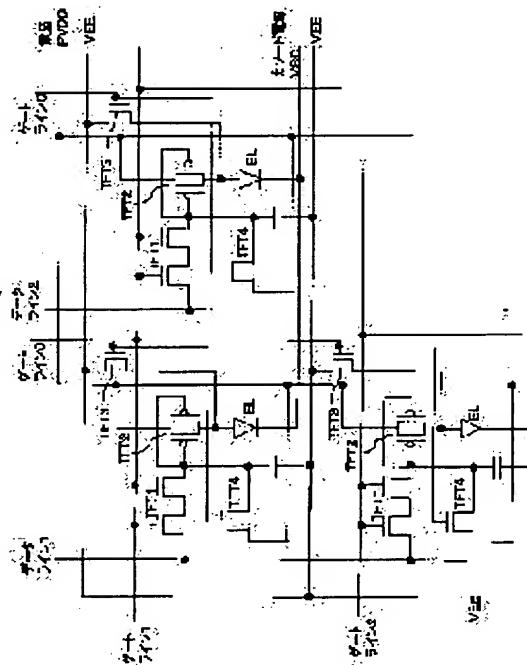
(72)Inventor : FURUMIYA NAOAKI

(54) ORGANIC EL PIXEL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an afterimage from being caused in organic EL elements.

SOLUTION: The organic EL pixel circuit is provided with a discharge transistor TFT3 for connecting the upper end of an organic EL element EL with a negative power source VEE, and a control transistor TFT4 for connecting the upper end of a storage capacitor SC with a power source PVDD. By switching on these TFT3, 4 by the gate line of the prestage, the capacitance of the organic EL element EL is discharged before own line is selected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-244617

(P2002-244617A)

(43) 公開日 平成14年8月30日(2002.8.30)

(51) Int. C1. ⁷	識別記号	F I	テマコト [®] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3K007
3/20	6 2 4	3/20	6 2 4 B 5C080
	6 7 0		6 7 0 K
H 0 5 B 33/08		H 0 5 B 33/08	
33/12		33/12	B
審査請求 未請求 請求項の数 8	O L	(全 8 頁)	最終頁に続く

(21) 出願番号 特願2001-38642(P2001-38642)

(22) 出願日 平成13年2月15日(2001.2.15)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号

(72) 発明者 古宮 直明
大阪府守口市京阪本通2丁目5番5号 三洋
電機株式会社内

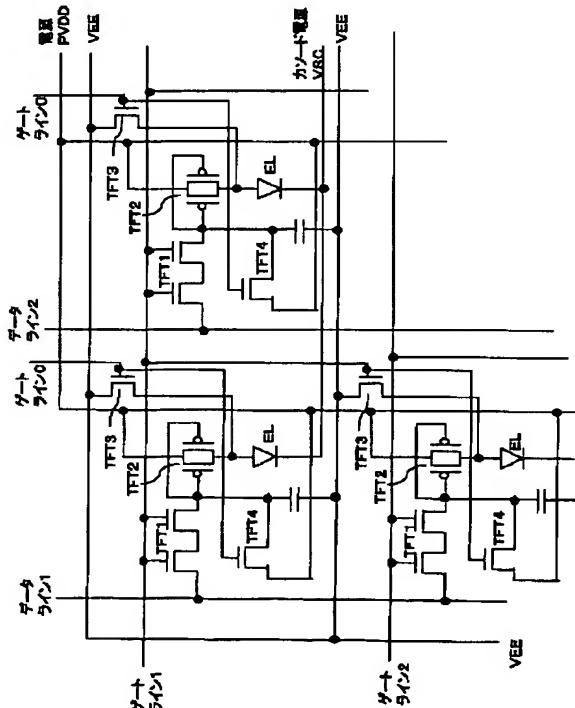
(74) 代理人 100075258
弁理士 吉田 研二 (外2名)
F ターム(参考) 3K007 AB02 AB04 AB05 AB17 BA06
CB01 DA01 DB03 EB00 GA02
GA04
5C080 AA06 BB05 CC03 DD01 DD09
FF11 HH10 JJ03 JJ04

(54) 【発明の名称】有機EL画素回路

(57) 【要約】

【課題】 有機EL素子における残像の発生を防止する。

【解決手段】 有機EL素子ELの上側端とマイナス電源V_{EE}を接続する放電用トランジスタTFT3と、保持容量SCの上側端を電源PVDDに接続する制御トランジスタTFT4を設ける。これらTFT3、4を前段のゲートラインによってオンすることにより、自己のラインが選択される前に、有機EL素子ELの容量の放電を行う。



【特許請求の範囲】

【請求項1】 有機EL画素への駆動電圧の印加を制御する有機EL画素回路において、

有機EL素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする有機EL画素回路。

【請求項2】 請求項1に記載の有機EL画素回路において、

前記有機EL画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、

前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機ELの容量に蓄積される電荷を放電することを特徴とする有機EL画素回路。

【請求項3】 請求項1に記載の有機EL画素回路において、

前記有機EL画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、

前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機ELの容量に蓄積される電荷を放電することを特徴とする有機EL画素回路。

【請求項4】 請求項1～3のいずれか1つに記載の有機EL画素回路において、

前記有機EL画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、

かつ、

発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタを配置することを特徴とする有機EL画素回路。

【請求項5】 請求項1～4のいずれか1つに記載の有機EL画素回路において、

各画素は、有機EL素子への駆動電流印加を制御する駆動トランジスタへの制御電圧を保持する保持容量を有しており、

この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することを特徴とする有機EL画素回路。

【請求項6】 請求項5に記載の有機EL画素回路において、

前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることを特徴とする有機EL画素回路。

【請求項7】 請求項5に記載の有機EL画素回路において、

前記制御トランジスタは、前記放電用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることを特徴とする有機EL画素回路。

【請求項8】 請求項5～7のいずれか1つに記載の有

機EL画素回路において、

前記有機EL画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、かつ、

発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての制御トランジスタを配置することを特徴とする有機EL画素回路。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 有機EL画素への駆動電圧の印加を制御する有機EL画素回路に関する。

【0002】

【従来の技術】 従来より、フラットパネルディスプレイとして、有機ELパネルが知られている。この有機ELパネルは各画素が自発光するため、液晶のようにバックライトなどを必要とせず、明るい表示が可能であるという利点がある。

【0003】 図8に、従来の薄膜トランジスタ(TFT)を利用して有機ELパネルにおける画素回路の構成例を示す。有機ELパネルは、このような画素をマトリクス配置して構成される。

【0004】 行方向に伸びるゲートラインには、ゲートラインによって選択されるnチャンネル薄膜トランジスタである選択トランジスタTFT1(以下、単にTFT1という)のゲートが接続されている。このTFT1のドレインには列方向に伸びるデータラインが接続されており、そのソースには他端が保持容量電源ラインに接続された保持容量SCが接続されている。また、TFT1のソースと保持容量SCの接続点は、pチャンネル薄膜トランジスタである駆動トランジスタTFT2(以下、単にTFT2という)のゲートに接続されている。そして、このTFT2のソースが電源PVDDに接続され、ドレインが有機EL素子ELに接続されている。なお、有機EL素子ELの他端はカソード電源CVに接続されている。

【0005】 従って、ゲートラインがHレベルの時にTFT1がオンとなり、そのときのデータラインのデータが保持容量SCに保持される。そして、この保持容量SCに維持されているデータ(電位)に応じてTFT2がオンオフされ、TFT2がオンしている場合に有機EL素子ELに電流が流れ、発光する。

【0006】 このようにして、各画素の発光が制御される。なお、保持容量SCがあるため、TFT1がオフした後も有機EL素子ELの発光が可能となる。通常は、保持容量SCは次のゲートラインの選択まで、TFT2をオンまたはオフを維持する。

【0007】

【発明が解決しようとする課題】 ここで、上述のようなTFTを利用して有機ELパネルにおいて、マトリクス状に配置された各画素は、有機EL素子、TFT1、T

50

F T 2 を含め同一の基板上に積層形成されている。従つて、有機E L素子E Lに寄生容量が発生する。

【0008】このため、T F T 2 がオフされた状況においても、有機E L素子の持つ容量に蓄積された電荷に応じて、有機E L素子E Lに電流が流れ、残像が発生するという問題がある。すなわち、有機E L素子をオンする場合には高速応答で動作するが、有機E L素子のオフの際には有機E Lの容量の影響で応答が遅くなり残像が生じてしまうという問題があった。

【0009】本発明は、上記従来の欠点に鑑みなされたものであり、残像の発生を効果的に防止できる有機E L画素回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、有機E L画素への駆動電圧の印加を制御する有機E L画素回路において、有機E L素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする。

【0011】このように、本発明によれば、放電用トランジスタによって、有機E Lの容量に蓄積されている電荷を放電できる。そこで、有機E L素子がオンからオフになったときに、有機E Lの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【0012】また、前記有機E L画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機E Lの容量に蓄積される電荷を放電することが好適である。これによって、予め有機E Lの容量の放電が行われ、確実な残像発生防止が行える。

【0013】また、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機E Lの容量に蓄積される電荷を放電することも好適である。

【0014】また、各画素は、有機E L素子への駆動電流印加を制御する駆動トランジスタへの制御電圧を保持する保持容量を有しており、この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することが好適である。これによって、制御トランジスタによる放電を行うことで、駆動トランジスタをオフすることができる。

【0015】また、前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることが好適である。これによって、表示期間を維持し、配線を短くして、確実な残像発生の防止が行える。そして、駆動トランジスタと、放電用トランジスタの同時オンを防止できる。

【0016】また、前記制御トランジスタは、前記放電

用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることが好適である。これによって、より確実な駆動トランジスタと、放電用トランジスタの同時オン防止が行える。

【0017】また、前記有機E L画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、かつ、発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタ及び／または制御トランジスタを配置することが好適である。例えば、各画素がR G B（赤、緑、青）で発光する場合において、有機E L素子では、Rの発光効率が悪く、Gの発光効率が低い。BはRとGの中間である。そこで、Rについての放電用トランジスタまたは制御トランジスタ、またはその両方をGの画素内に配置することによって、Rの画素の開口率を上昇することができる。これによって、発光効率の低い画素（例えばR）の開口率を上げることができ、駆動電圧の上昇を抑えることができるため、全体の消費電力を下げることが可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施形態について、図面に基づいて説明する。

【0019】図1は、本実施形態の1画素分の画素回路の構成を示す図である。水平方向に伸びるゲートラインには、nチャンネルのT F T からなるT F T 1 が接続されている。このT F T 1 は、T F T を直列接続したダブルゲートT F T として形成されている。なお、必ずしもダブルゲートにすることはない。

【0020】そして、このT F T 1 の他端には、保持容量S Cの一端が接続されている。保持容量S Cの他端は、パネルのマイナス電源であるV E E に接続されている。T F T 1 と保持容量S Cの接続点には、pチャンネルT F T からなる駆動トランジスタT F T 2 のゲートが接続されている。このT F T 2 は、2つのT F T を並列接続した構成になっている。そして、T F T 2 の一端がパネル電源P V D D に接続され、他端が有機E L素子E Lに接続されている。なお、有機E L素子の他端は、反対側の基板に設けられているカソードに接続されている。

【0021】そして、T F T 2 と有機E L素子E Lとの接続点に、他端がV E E に接続された放電トランジスタT F T 3 の一端が接続されており、この放電トランジスタT F T 3 のゲートは、前段のゲートラインに接続されている。すなわち、図における左上の画素のT F T 3においては、自己の画素のT F T 1 が接続されるゲートライン1より1水平ライン上のゲートライン0に接続されている。

【0022】さらに、T F T 1 と保持容量S Cの接続点には、制御トランジスタT F T 4 の一端が接続され、このT F T 4 の他端は電源P V D D に接続されている。そ

して、このTFT4のゲートは、前述のTFT3と同様に前段のゲートラインに接続されている。

【0023】このような有機EL画素回路において、垂直ドライバにより、ゲートラインが順次オンされる。すなわち、垂直同期信号によって規定される1画面の表示において、水平同期信号に応じて、表示を行う水平ラインに対応したゲートラインが順次オンされる。

【0024】また、水平ドライバによって、1つのゲートラインがオンしている1水平期間において、データラインが順次ビデオ信号ラインと接続され、各画素に応じたデータがTFT1を介し、TFT2のゲート及び保持容量SCに供給される。従って、データの印加は基本的に点順次となる。そして、印加されたデータは保持容量SCに蓄えられ、TFT2のオンまたはオフの状態がデータの印加終了後も保持される。そして、このTFT2のオンの場合に、電源PVDDからの電流が有機EL素子ELに流れ、これが発光する。

【0025】なお、本実施形態では、TFT2がpチャンネルであり、保持容量SCに電荷が保持されHレベルとなっているときにオフ、電荷が放電されLレベルとなっているときにオンとなる。

【0026】そして、本実施形態においては、TFT3を有しており、このTFT3が前段のゲートラインによってオンされる。すなわち、有機EL素子ELの上側、すなわちTFT2のドレンがTFT1のオンの1水平ライン前の段階で、マイナス電源V_{EE}に接続される。従って、有機EL素子ELの容量に蓄積された電荷が放電される。そこで、自己のゲートラインが選択されて書き込まれたデータが黒であり、TFT2がオフされたときに有機EL素子ELに電流が流れることはなく、残像の発生を確実に防止することができる。

【0027】例えば、図2に示すように、ゲートライン0がオンの時にゲートライン1によってオンするTFT1に接続されたTFT4およびELに接続されているTFT3がオンする。これによって、ゲートライン1のラインの画素の有機EL素子ELの容量に蓄積された電荷が放電される。また、ゲートライン1がオンの時にゲートライン2のラインの画素についてのTFT3がオンしてその画素の有機EL素子ELの容量に蓄積された電荷が放電される。そして、このような動作が各ラインについて順次繰り返し行われる。

【0028】図3に示したのは、他の実施形態であり、この例では、TFT4の他端を前段のゲートラインではなく、前前段のゲートラインに接続している。これによって、まず前々の水平ラインが選択されているときに、保持容量がPVDDに充電され、TFT2がすべてオフになる。そして、前段の水平ラインが選択されているときにTFT3がオンして有機ELの容量の放電が行われる。この構成によって、TFT2とTFT4の同時オンがより確実に防止できる。

【0029】例えば、図4に示すように、ゲートライン0がオンの時に、ゲートライン1の画素のTFT3と、ゲートライン2の画素のTFT4がオンされ、ゲートライン1がオンの時に、ゲートライン2の画素のTFT3と、ゲートライン3の画素のTFT4がオンされる。このようにして、各画素においては、まずTFT4がオンされ保持容量SCが放電されてTFT2がオフされ、次にTFT3がオンされ有機ELの容量が放電され、次にTFT1がオンされデータが書き込まれる。

【0030】TFT3、4のオンのタイミングは、必ずしも前段、前々段ではなく、それより前であってもよい。すなわち、TFT3、4のオンのタイミングは、当該段のゲートラインよりも前に選択されているゲートラインの信号であればよく、TFT4のオンのタイミングは、TFT3のオンのタイミングと同一またはそれ以前であればよい。しかし、なるべく直前にした方が、有機EL素子のオン期間を長く維持することができる。また、このための配線も短くできる。

【0031】このように、本実施形態によれば、TFT3を設けたため、有機ELがオンからオフに変わったときに、確実にオフにすることができ、残像の発生を防止することができる。さらに、TFT4を設けたため、TFT3がオンしているときにTFT2がオンしてTFT4が電源PVDDとマイナス電源V_{EE}を接続することを防止することができる。

【0032】なお、最上段の水平ラインでは、前段、前々段のゲートラインがない。そこで、最下段及びその上のゲートラインからの配線を引き回してもよいが、垂直帰線期間中にオンするダミーの（対応する画素はない）ゲートラインを設け、これによってTFT3、4をオンすればよい。

【0033】また、図5に示したのは、さらに他の実施形態であり、この例では、TFT3、4をオンするため専用の放電専用ゲートラインを設けてあり、各段のTFT3、4のゲートがそれぞれその段の放電専用ゲートラインに接続される。

【0034】そして、図6に示すように、各段の放電専用ゲートラインは前の段のゲートラインと同時にオンとなる（活性化される）ため、図1の実施形態と同様に前段のゲートラインがオンになるタイミングで、TFT3、4がオンする。なお、TFT3、TFT4を別の放電専用ゲートラインに接続したり、一方をゲートラインに接続してTFT3、TFT4を別のタイミングでオンしてもよい。

【0035】図7に示したのは、さらに他の実施形態であり、この例ではTFT3、TFT4の配置場所について工夫がなされている。図7において、3つの画素が表示されており、左上がR（赤）、右上がG（緑）、左下がB（青）である。なお、RGBの画素の配置は、このような配置ではなく列方向の同一の色が並ぶストライプ

タイプやその他どのような配置であってもよい。

【0036】そして、本実施形態では、Rの画素のTFT3、TFT4が、隣接するGの画素の内部に配置されている。従って、Rの画素内に配置されるTFTの数がGの画素におけるTFTの数より少なくなる。TFTを配置すれば、それだけその画素の開口率が小さくなるため、本実施形態ではRの画素の開口率がGの画素の開口率より大きくなっている。

【0037】有機EL素子ELでは、通常Gの発光の素子が発光効率が高く明るく、Rの発光の素子の発光効率が低く暗い。本実施形態のように、R発光の画素の開口率を高くし、G発光の画素の開口率を低くすることで、発光効率の差を開口率で補償することができ、全体として消費電力を低下させることができる。

【0038】なお、有機EL素子の材料によっては、発光効率が異なる場合も考えられるが、その場合にも発光効率の低い色の画素のTFTを発光効率の高い画素内に配置すればよい。また、図7においては、1つの画素(Rの画素)のTFT3、TFT4の両方を、他の画素(Gの画素)内に配置したが、TFT3、TFT4のいずれか一方でもよい。

【0039】なお、この図7は、回路図として配置を示しているだけであり、個別の部材の配置大きさなどは、実際のレイアウトとは異なっている。また、図において、各画素の区切りは破線で示してある。

【0040】また、各トランジスタの極性は上述の各実施形態のものに限らず反対のものでもよい。その場合には信号も反対の極性になる。

【0041】

【発明の効果】以上説明したように、本発明によれば、放電用トランジスタによって、有機ELの容量に蓄積されている電荷を放電できる。そこで、有機EL素子がオ

ンからオフになったときに、有機ELの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【0042】また、放電用トランジスタを自己の行の前段のゲートラインによって、駆動することにより、予め有機ELの容量の放電が行われ、確実な残像発生防止が行える。

【0043】また、制御トランジスタにより前記駆動トランジスタをオフすることで、放電トランジスタによる放電を行うときに、駆動トランジスタをオフすることができる。

【0044】また、発光効率の低い色の画素の放電用トランジスタまたは制御トランジスタを発光効率の高い色の画素内に配置することで、各色の発光効率の差を補償することができる。

【図面の簡単な説明】

【図1】 実施形態の構成を示す図である。

【図2】 実施形態の動作を示すタイミングチャートである。

【図3】 他の実施形態の構成を示す図である。

【図4】 他の実施形態の動作を示すタイミングチャートである。

【図5】 さらに他の実施形態の構成を示す図である。

【図6】 さらに他の実施形態の動作を示すタイミングチャートである。

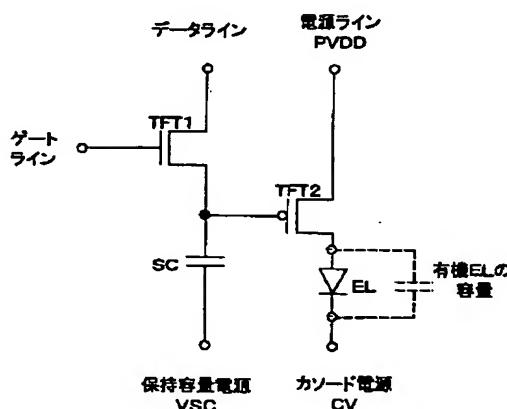
【図7】 さらに、他の実施形態の構成を示す図である。

【図8】 従来例の構成を示す図である。

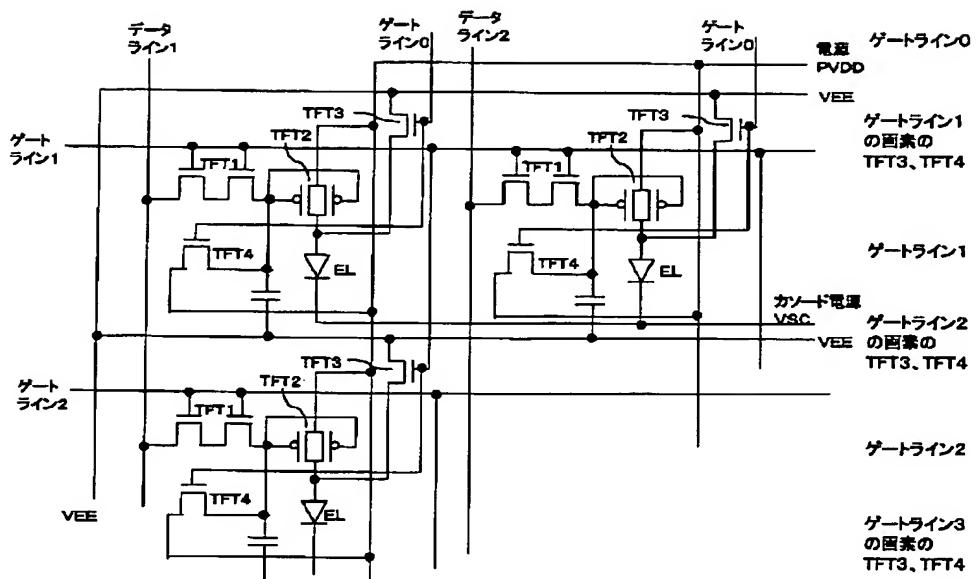
【符号の説明】

30 TFT1 選択トランジスタ、TFT2 駆動トランジスタ、TFT3 放電用トランジスタ、TFT4 制御トランジスタ、SC 保持容量、EL 有機EL素子。

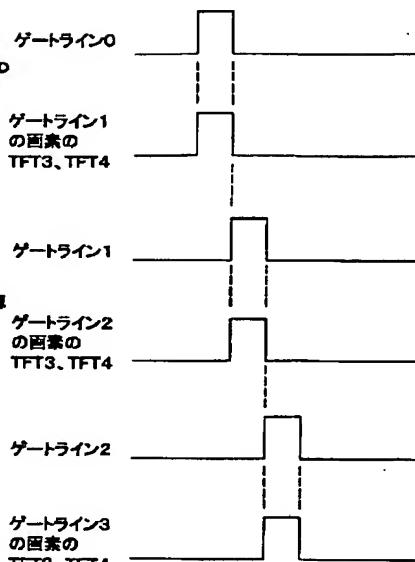
【図8】



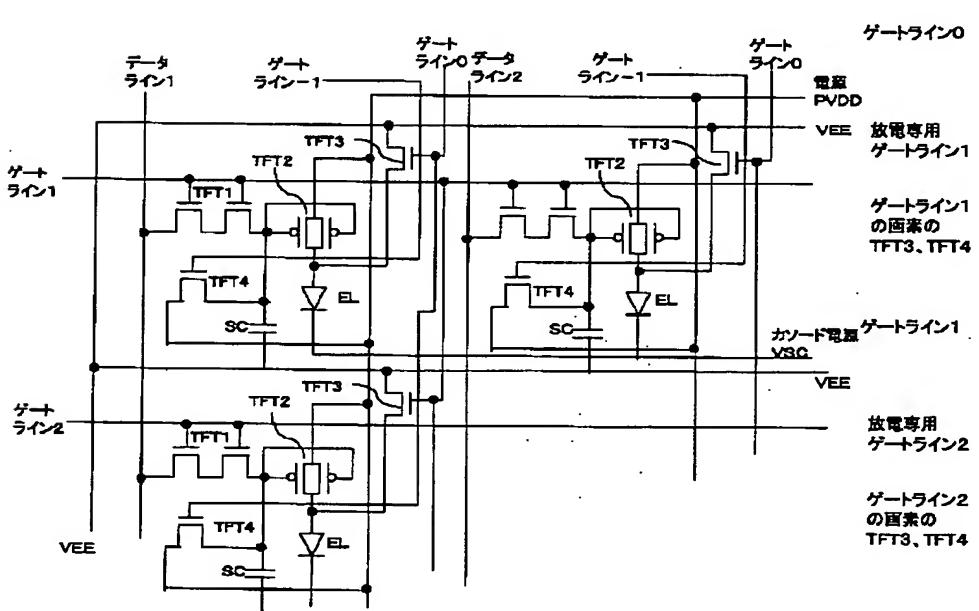
【図1】



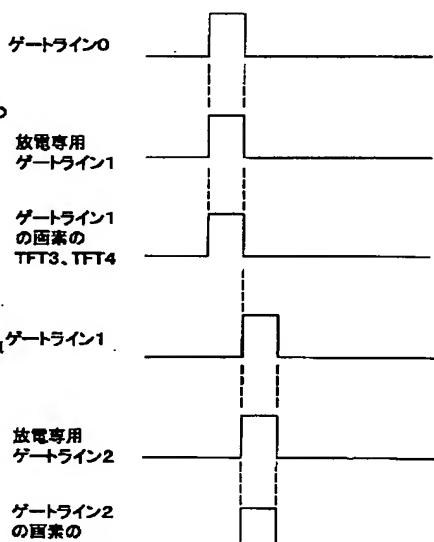
【図2】



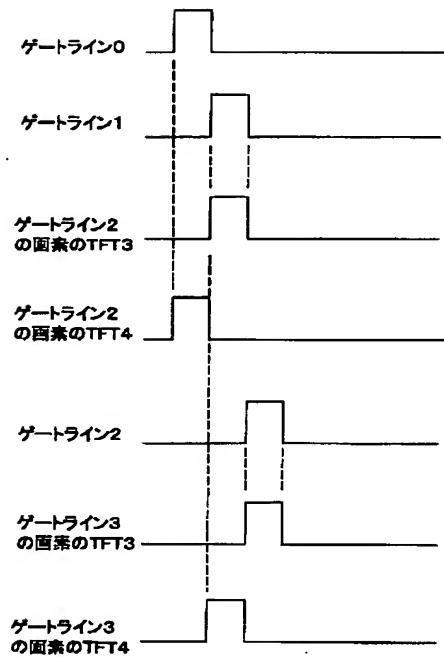
【図3】



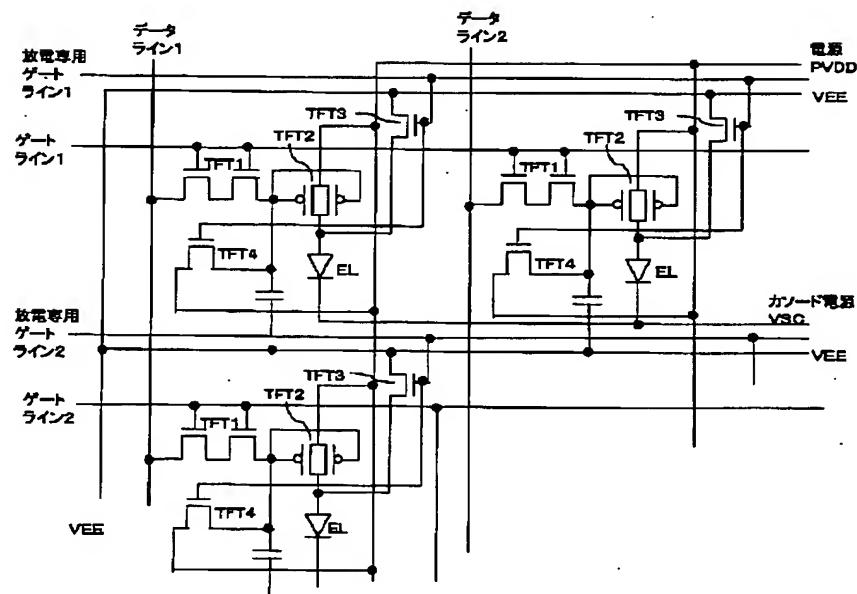
【図6】



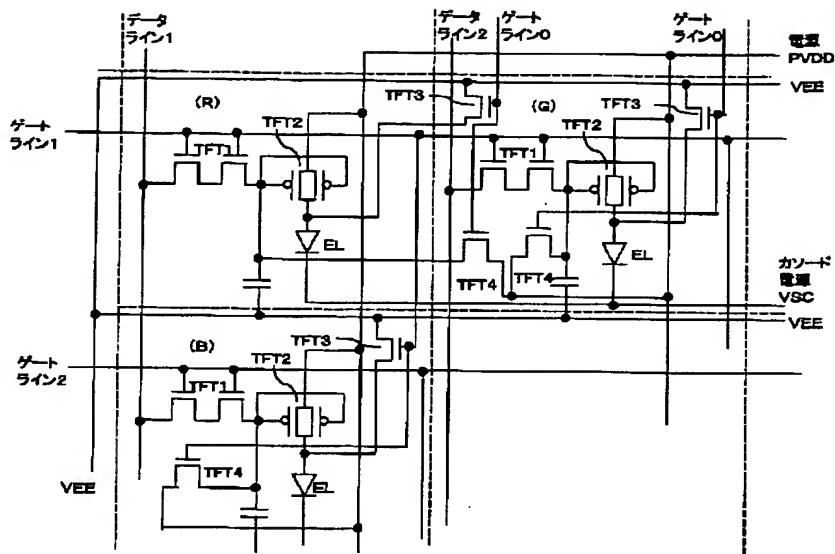
【図4】



【図5】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

H 0 5 B 33/14

F I

H 0 5 B 33/14

テーマコード(参考)

A